

## PATENT ABSTRACTS OF JAPAN

2

(11)Publication number : 62-267168  
 (43)Date of publication of application : 19.11.1987

(51)Int.CI.

B41J 3/21  
 // G06F 3/12  
 G06K 15/12

(21)Application number : 61-109644

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 15.05.1986

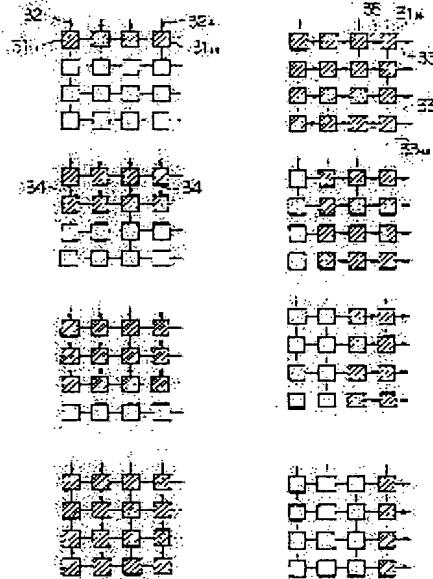
(72)Inventor : YAMASHITA JUN

## (54) APPARATUS FOR TRANSPOSITION PROCESSING OF MATRIX DATA

## (57)Abstract:

PURPOSE: To easily deal with a high integration, by a transposition processing wherein data are inputted in parallel in N pieces of the first line of a memory means arranged in M-th line/N-th row, while data are outputted in parallel from M pieces in the N-th row and the data is shifted into the direction where a line and a row increase.

CONSTITUTION: For examples, M=N=4 is set, input means 321W324 are used to input data to respective four memory means 3111W3114 belonging to a first line in parallel. When data are set, said data are shifted to a line-increasing direction by a line direction shift means 34. At this time, the next data are inputted to the memory means 3111W3114 belonging to the first line. When storing of data has been completed in all of 4×4 memory means 3111W3114, data are read out from the memory means 3114W3144 belonging to fourth row in parallel. In parallel with this operation, the shift of data is performed in every row by a row direction shift means 35. Then, in the same way, the shift of the data in the row direction is successively performed. by this processing, integration becomes easy.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(English translation of the material portion of JP 62-267168A: page 415, column 16 to 17, highlighted portion)

Fig.3 is a block diagram depicting the structure of a transposition circuit of the matrix data according to an embodiment 1 of the present invention.

This transposition circuit 40 comprises  $4 \times 3$  D flip flop circuits  $41_{11} \sim 41_{43}$  as registers arranged in 4 rows and 3 columns.

The input terminals D of each of D flip flop circuits  $41_{11} \sim 41_{43}$  are individually connected to the output of the 2 to 1 data selectors 42.

## ⑯ 公開特許公報 (A)

昭62-267168

⑯ Int.CI.

B 41 J 3/21  
// G 06 F 3/12  
G 06 K 15/12

識別記号

庁内整理番号

⑯ 公開 昭和62年(1987)11月19日

7612-2C  
7208-5B  
7208-5B

審査請求 未請求 発明の数 1 (全 15 頁)

⑯ 発明の名称 行列データの転置処理装置

⑯ 特願 昭61-109644

⑯ 出願 昭61(1986)5月15日

⑯ 発明者 山下 純 岩槻市大字岩槻1275番地 富士ゼロックス株式会社岩槻事業所内

⑯ 出願人 富士ゼロックス株式会社 東京都港区赤坂3丁目3番5号

⑯ 代理人 弁理士 山内 梅雄

## 明細書

## 1. 発明の名称

行列データの転置処理装置

## 2. 特許請求の範囲

1.  $M \times N$  行  $N$  列に配置された  $M \times N$  個の記憶手段と、この  $M \times N$  個の記憶手段のうちの第1行に属する  $N$  個の記憶手段のそれぞれにパラレルにデータの入力を行わせる  $N$  本の入力手段と、前記  $M \times N$  個の記憶手段のうちの第  $N$  列に属する  $M$  個の記憶手段からデータをパラレルに出力する  $M$  本の出力手段と、前記  $M \times N$  個の記憶手段全部からデータを一齊に取り出し、行の増加する方向にシフトさせる行方向シフト手段と、前記  $M \times N$  個の記憶手段全部からデータを一齊に取り出し、列の増加する方向にシフトさせる列方向シフト手段とを具備することを特徴とする行列データの転置処理装置。

2. 列方向シフト手段によって  $M$  行  $N$  列に配置された  $M \times N$  個の記憶手段の第  $N$  列から1列分ずつのデータがパラレルに出力されるとき、この

$M \times N$  個の記憶手段の第1列の  $M$  個の記憶手段のそれぞれにパラレルにデータの入力を行わせる  $M$  本の入力手段を具備することを特徴とする特許請求の範囲第1項記載の行列データの転置処理装置。

## 3. 発明の詳細な説明

## 「産業上の利用分野」

本発明は、発光ダイオードを用いた画像形成装置等に使用される行列データの転置処理装置に係わり、詳細には、それぞれ  $M$  個の信号から成る  $N$  群の信号列によって構成される行列データを一定の規則に従って転置処理して、例えば前記した発光ダイオードの駆動部等に供給するための行列データの転置処理装置に関する。

## 「従来の技術」

日本語ワードプロセッサやコンピュータの普及に伴って、これらによって作成された文章や図形、あるいは各種データをプリントアウトする機会が一段と多くなっており、そのための出力機器が各種開発されるに至っている。

ノンインパクトタイプで感光体に静電潜像を形成するプリンタとして代表的なものに、レーザプリンタが存在する。レーザプリンタは、感光ドラムの表面にレーザ光を高速で走査させ、そのオンオフ制御によって画像データの静電潜像を形成する。形成された静電潜像は現像器で現像され、トナー像が作成される。トナー像は印刷用紙に転写されて定着される。

レーザプリンタは、高速で印字動作を行うことができる。しかしながら、ビーム走査のためにポリゴンミラー等の光学系を必要とし、装置が高価となると共に、大型化する。また、光学系の補正を行うために高度の制御回路を必要とするという欠点もある。

そこで、感光体上における光学像の走査を発光ダイオード(LED)によって行うようにしたプリンタ等の記録装置が開発されている。

第11図はこのLEDを用いた装置の原理的な構成を表したものである。この装置は、静電潜像やトナー像を形成するための感光ドラム1を備

えている。感光ドラム1の周囲には、帯電器2、LEDアレイヘッド3、現像器4、転写器5、クリーニング装置6等が配置されている。

ここで帯電器2は、感光ドラム1に正または負の電荷を均一に帯電させるためのもので、通常はチャージコロトロンと呼ばれている。LEDアレイヘッド3は、LED7を感光ドラム1と対向する面に一列に多数配設したものであり、各LED7はそれぞれの印字ドットに対応するようになっている。LEDアレイヘッド3には、図示しない駆動回路が配置されており、これによって各LED7がそれぞれ独立して点灯制御されることになる。LEDアレイヘッド3とこれに対向する感光ドラム表面との間には、図示しない収束性ロッドレンズ群がLEDアレイヘッド3と平行となるように配置されており、LED7の点滅動作がラインごとの画情報に対応して順に繰り返されると、これによる光の点滅情報が感光ドラム1に1ライン分ずつ供給されることになる。このとき、感光ドラム1は矢印方向に回転している。この結

果として、感光ドラム1の表面は副走査方向に移動しており、ライン単位でLEDアレイヘッド3が駆動されるとドラム表面にラスタスキャン方式で静電潜像が形成されていくことになる。

現像器4はこのようにして形成された静電潜像をトナーで現像し、トナー像の作成を行う。作成されたトナー像は、転写器5の作用で印刷用紙8に転写される。転写器5は、帯電器2と同様にコロナ放電器であり、通常はトランスファコロトロンと称されているものである。印刷用紙8は図示しない用紙供給トレイから送り出されてきたもので、トナー像の転写後は図示しない定着部を通過し、像の定着が行われる。定着の終了した印刷用紙は、同じく図示しない排紙トレイ上に排出されることになる。

以上説明したことから了解されるように、LEDアレイヘッド3に配置された各LED7は、対応する画情報に応じてライン単位で点灯あるいは消灯動作を繰り返すことになる。このため、LEDアレイヘッド3の駆動回路には、全LED

7を個別にオン・オフ制御して白または黒のドットを記録させるための2値の画信号がライン単位で供給されることになる。このような画信号の供給をピットシリアルに行うと、記録密度や記録幅(主走査方向の長さ)が増加するほど、これを駆動回路にセットするための時間が長時間化し、実用的な記録速度を得ることができなくなってしまう。そこで、従来よりピットシリアルな画信号を比較的短時間でセットするための工夫が行われている。

第12図はこれを説明するためのものである。同図に示すようにこのLEDアレイヘッド3には複数個(この例では8個)のシフトレジスタ11が設けられている。これらのシフトレジスタ11は、画信号を所定量ずつ分割してセットし、対応するLEDの駆動制御を行うようになっている。この例の場合、1ライン分の画信号12は図のように一定量ずつに8分割されて、矢印14のように引き出されて各シフトレジスタ11に個別に転送される。この8本の矢印14で示されたように

画信号12を並列的に転送すると、8本分まとめられた長さのシフトレジスタにセットする場合と同様の配列で画信号12がシフトレジスタ11内に格納される。しかもその転送速度は1本の線だけを使って供給した場合の8倍にもアップする。

この例の場合、第13図に示すようにメモリ装置15に格納された画信号を各シフトレジスタ11に転送する配列を考慮してピックアップし、8ビットの画信号を格納できるシフトレジスタ16にこれを一旦格納する。そして、この格納された画信号をパラレルに出力し、LEDアレイヘッド3の8個のシフトレジスタ11へ向けて転送するという処理を繰り返して行うことになる。

ここで、例えば、4096ビットの画信号から構成された画信号群において、各画信号(ビット)に“0”から“4095”と番号を付し、これを前記したようにして転送する場合を想定する。まず、その画信号をランダム・アクセス・メモリ素子(RAM)等からなるメモリ装置15に格納する。そして“0”～“511”、“512”～

“1023”、“1024”～“1535”、“1536”～“2047”、“2048”～“2559”、“2560”～“3071”、“3072”～“3583”、“3584”～“4095”というように8つのグループに区分けする。これを、各グループの最初の画信号から順にシフトレジスタ16へ転送する。すなわち、“0”、“512”、“1024”、“1536”、“2048”、“2560”、“3072”、“3584”という順に画信号がピックアップされてシリアルに転送される。この後は“1”、“513”、“1025”というように続けて、最後に“3071”、“3583”、“4095”というように転送され、すべてのデータの転送処理が完了する。

このようなデータの置換処理はLEDアレイヘッドを使用する装置に限らず種々の装置で行われている。この処理を行うには、例えば第14図に示すようにページメモリ18等の画情報源から所定量のデータを転置処理装置19に供給させる。

そして転置処理装置19内のランダム・アクセス・メモリ素子にこのデータをアドレス順に格納させる。そして、次に、ピックアップすべき別のアドレス順を指定してこの素子から転置後のデータを読み出し、LEDアレイヘッド3や静電記録ヘッド、あるいは高速記録用のサーマルヘッド等に供給することになる。

ところが従来のこのような転置処理では、全データを1つずつ書き込みさらにそれを1つずつ読み出すといった処理を必要とし、装置の処理速度の高速化の妨げとなる難点があった。また、転置処理装置では第13図に示したようなシフトレジスタ16へデータを一度格納しなければならず、この操作もデータ転送時間を遅延させる原因となつた。

ところで、マイクロプロセッサ等によるデータの読み書きの処理は、ワード単位例えば8ビットずつのデータ単位でパラレルに行うのが効率的である。

そこで、第15図に示すような装置が考えられ

ている。この装置は、全データを格納したメモリ21から8ビットずつ読み出されたデータをパラレルに受け入れ、そのデータを所定の規則で転置しパラレルライン22に出力するものである。その動作原理を第16図に示す。

この第16図で、メモリ内の1ライン分のデータ16は、まず8つの群し、～しに分割される。その各群の先頭から順に1ワード(例えば8ビット)ずつデータが読み出される。その読み出しの順序は、W1、W2、W3……W8の順である。その後は再び第1番目の群し、から1ワード分のデータが読み出され、同様の動作を繰り返す。このデータは、8ビットパラレルの伝送ライン23を通じて行列データの転置処理装置24に送り込まれる。転置処理装置24は、このデータを図のように1ワードずつシリアルに転置して、各ワードのデータをパラレルにシフトレジスタ22(これは例えば第12図に示したLEDアレイヘッド3に配置された8個のシフトレジスタ11に相当する。)に転送する。この動作を繰り返せば、1

ライン分のデータが8分割されて8個のシフトレジスタにすべて転送される。このとき、データをワード単位で読み出し処理するので高速でその処理を行うことができる。

第15図に戻って説明を続ける。この行列データの転置処理装置24には、アドレス信号26に従って入力データを格納するアドレッサブルラッチ27が配置されている。アドレッサブルラッチ27には、パラレルに入力されるデータの数だけデータの入力側に用意されたもの27<sub>11</sub>～27<sub>10</sub>と、パラレルに出力するデータの数だけ出力側に用意されたもの27<sub>01</sub>～27<sub>00</sub>とが存在する。なお、この例では説明の便宜上、入力も出力も8ライン構成としている。

この第15図における行列データの転置処理装置24に対して、1ワード8ビットのデータが、8個連続し、パラレル入力ラインを通じて入力するものとする。この場合、図で1番上に配置されたアドレッサブルラッチ27<sub>11</sub>には、連続して入力する8個のワードのそれぞれ先頭のビットが入

力される順序のアドレスで順にラッチされる。次のアドレッサブルラッチ27<sub>10</sub>にも、同様に各ワードの第2番目のビットが順にラッチされる。以下同様である。このようにして、8個のワードが8個のアドレッサブルラッチ27<sub>11</sub>～27<sub>00</sub>に1ビットずつ振り分けられて入力される。

次に、入力側の1番目のアドレッサブルラッチ27<sub>11</sub>から出力側の各アドレッサブルラッチ27<sub>01</sub>～27<sub>00</sub>に対しても格納したデータを1個ずつ順に振り分けて転送する。出力側の各アドレッサブルラッチ27<sub>01</sub>～27<sub>00</sub>は、それらの先頭のアドレスに各ワードの先頭のビットを格納することになる。入力側の2番目のアドレッサブルラッチ27<sub>10</sub>から出力側の各アドレッサブルラッチ27<sub>01</sub>～27<sub>00</sub>に対しては、それらの2番目のアドレスに各ワードの2番目のビットが格納されることになる。以下同様である。

こうして、出力側の各アドレッサブルラッチ27<sub>01</sub>～27<sub>00</sub>には、そのアドレス順に各ワードが1つずつ格納される。これをアドレス順に読み

1 1

出せば、各ワードがパラレルに出力ライン22に出力されることになる。この動作がちょうど、第16図に示した通りとなる。

以上のような処理をすることによって、データの読み出しと転送の効率化を図ることができる。しかし、この例で示した装置は、各アドレッサブルラッチがアドレス情報を解読するためのアドレスデコーダを内蔵しなければならない。このため、全体としての回路量が多くなるという問題がある。またアドレッサブルラッチ間に多数のデータラインが存在するために、これらの配線が複雑となる。さらに、回路と配線双方の複雑化のために、この転置処理装置を高集積化しようとすると、これに限界があった。

そこで本発明の目的は、高集積化に容易に対応することのできる行列データの転置処理装置を提供することにある。

#### 「問題点を解決するための手段」

本発明の行列データの転置処理装置では、第1図にその原理的な構成を示すように、記憶手段

1 2

31をM行N列に配置する。そしてこのM×N個の記憶手段31<sub>11</sub>～31<sub>1N</sub>のうちの第1行に属するN個の記憶手段31<sub>11</sub>～31<sub>1N</sub>のそれぞれにパラレルにデータの入力を行わせるN本の入力手段32<sub>1</sub>～32<sub>N</sub>と、M×N個の記憶手段31<sub>11</sub>～31<sub>1N</sub>のうちの第N列に属するM個の記憶手段31<sub>1N</sub>～31<sub>MN</sub>からデータをパラレルに出力するM本の出力手段33<sub>1</sub>～33<sub>M</sub>との2つのデータ入出力手段を用意する。また、M×N個の記憶手段31<sub>11</sub>～31<sub>1N</sub>からデータを一齊に取り出し、行の増加する方向(図で下に向かう方向)にこれらをシフトさせる行方向シフト手段34と、同じくM×N個の記憶手段31<sub>11</sub>～31<sub>1N</sub>からデータを一齊に取り出し、列の増加する方向(図で右に向かう方向)にシフトさせる列方向シフト手段35とを用意する。

#### 「本発明の装置に関する基本動作の説明」

この装置の基本動作を、第2図を基にして説明する。同図は、説明の簡略化のためにM=N=4の例を表わしている。すなわち、本発明の行列デ

1 3

1 4

ータの転置処理装置では、まず同図aに示すように入力手段321～324を用いて、第1行に属する4個の記憶手段3111～3114のそれぞれにパラレルにデータの入力を行わせる。この第2圖で斜線の記された部分は、データのセットされた記憶手段を表わしている。

4個の記憶手段3111～3114にデータがセットされたら、同図bに示すように行方向シフト手段34を用いて、行の増加する方向にこれらのデータをシフトさせる。このとき、第1行に属する4個の記憶手段3111～3114には、次のデータが入力されることになる。このようにして、順に行方向にデータのシフトが行われると共に、第1行に属する4個の記憶手段3111～3114には新たなデータの供給が行われる(同図c、d)。

このようにして、4×4の記憶手段3111～3114すべてにデータの格納が終了したら、4本の出力手段331～334が動作を開始する。これによって、まず同図eに示すように第4列に属する4個の記憶手段3114～3111からパラレル

にデータの読み出しが行われる。これと共に列方向シフト手段35の動作も開始し、1列ずつデータのシフトが行われる(同図f)。そして3列目のデータの読み出しが行われる。以下同様にしてデータの列方向へのシフトと、読み出しが順に行われる(同図g、h)。

以上、行列データの転置処理装置の基本動作について説明したが、列方向シフト手段35によってM行N列に配置されたM×N個の記憶手段の第N列から1列分ずつのデータがパラレルに出力されるとき、このM×N個の記憶手段の第1列のM個の記憶手段のそれぞれにパラレルにデータの入力を行わせるM本の入力手段を行列データの転置処理装置に用意しておくと、異なった転置処理動作が可能となる。これについては、本発明の第2の実施例を説明する箇所で詳しく説明する。

#### 「第1の実施例」

以下実施例につき本発明を詳細に説明する。

第3図は本発明の一実施例における行列データの転置処理装置を表わしたものである。この装置

15

40は、縦4行( $M=4$ )、横3列( $N=3$ )の $4 \times 3$ 個のDタイプ・フリップフロップ4111～4114を記憶手段として用いている。それぞれのDタイプ・フリップフロップ4111～4114の入力端子Dには、それぞれに対応して用意された2ツ-1(2-to-1)データセレクタ42の出力が接続されている。2ツ-1データセレクタ42には、1本のセレクトライン44が接続されている。また第1行に属する3つのDタイプ・フリップフロップ4111～4114に対応した3つの2ツ-1データセレクタ42の図で上側の入力端子には、上入力ライン451～453が接続され、第1列に属する4つのDタイプ・フリップフロップ4111～4114に対応した4つの2ツ-1データセレクタ42の図で下側の入力端子には、左入力ライン461～464が接続されている。

第2～第4行に属するDタイプ・フリップフロップ4121～4124にそれぞれ対応する合計9つの2ツ-1データセレクタ42については、それらの図で上側の入力端子が、1つ前の行の同一列

16

のDタイプ・フリップフロップ4111～4114の出力端子に接続されている。更に、第2列および第3列のDタイプ・フリップフロップ4121～4124に対応する2ツ-1データセレクタ42の図で下側の入力端子は、それらと同一行で1つだけ列の若いDタイプ・フリップフロップ4111～4114の出力端子と接続されている。各Dタイプ・フリップフロップ4111～4114のクロック端子には、これらに共通のクロック信号47が供給されるようになっている。

この転置処理装置40の第3列に属する4つのDタイプ・フリップフロップ4111～4114の出力側には、右出力ライン481～484が接続されている。また、第4行に属する3つのDタイプ・フリップフロップ4111～4114の出力側には、下出力ライン491～493が接続されている。

この実施例における行列データの転置処理装置40は、ウェハ上に半導体製造技術によって形成される。左入力ライン461～464と下出力ライン491～493は、この製造過程で形成され

17

18

るものとの本実施例では不要である。このため、本実施例ではこれらのラインと外部接続端子との間でワイヤのボンディングは行われない。

ところで 2 ツー 1 データセレクタ 42 は、セレクトライン 44 に供給される信号が “0” のとき図で上側の入力端子から供給されたデータをセレクトし、その出力側に出力する。またセレクトライン 44 に供給される信号が “1” のときには、図で下側の入力端子から供給されたデータをセレクトし、その出力側に出力する。各 D タイプ・フリップフロップ 41<sub>1</sub> ～ 41<sub>8</sub> は、クロック信号 47 の立ち上がり時点でその入力端子 D に供給されている信号状態に更新される。

従って、セレクトライン 44 に供給される信号が “0” の状態に設定された後、クロック信号 47 を発生させると、第 2 図 a ～ d で説明したように、上入力ライン 45<sub>1</sub> ～ 45<sub>3</sub> に供給されたパラレルなデータがこの転置処理装置 40 に取り込まれ、順に行方向（図で下方向）にシフトする。クロック信号 47 が 4 パルス分発生した時点で、

装置 40 はデータで満たされる。

この後、セレクトライン 44 に供給される信号が “1” に切り換える。そしてクロック信号 47 が 3 パルス分発生すると、全データが転置行列となって右出力ライン 48<sub>1</sub> ～ 48<sub>4</sub> から出力されることになる（第 2 図 e ～ h 参照）。

#### 「第 1 の実施例の変形例」

第 4 図は、この第 1 の実施例に対する変形例を表わしたものである。この変形例の行列データの転置処理装置 50 において、第 3 図と同一部分には同一の符号を付しておき、これらの説明を適宜省略する。

さてこの転置処理装置 50 では、3 × 3 個の D タイプ・フリップフロップ 41<sub>1</sub> ～ 41<sub>9</sub> を記憶手段として用いているが、2 ツー 1 データセレクタは用いず、代わってスリー・ステート・ゲート 51、52 を用いている。ここで、一方のスリー・ステート・ゲート 51 はセレクトライン 44 に供給される信号が “0” の状態でハイインピーダンスとなる素子であり、他方のスリー・ステート・

19

20

ゲート 52 は “1” の状態でハイインピーダンスとなる素子である。

この変形例の転置処理装置 50 は、先の転置処理装置 40 と異なり 4 × 3 個の記憶手段を備えているので、上入力ライン 45<sub>1</sub> ～ 45<sub>3</sub>、左入力ライン 46<sub>1</sub> ～ 46<sub>3</sub>、右出力ライン 48<sub>1</sub> ～ 48<sub>3</sub>、および下出力ライン 49<sub>1</sub> ～ 49<sub>3</sub> は共に 3 ラインずつの構成となっている。もっとも、先の実施例と同様に、左入力ライン 46<sub>1</sub> ～ 46<sub>3</sub> と下出力ライン 49<sub>1</sub> ～ 49<sub>3</sub> は、本実施例でも使用されず、従って外部との接続端子は設けられていない。

この変形例の転置処理装置 50 では、同一行の前段の D タイプ・フリップフロップ 41 の出力端子 Q と次の段の D タイプ・フリップフロップ 41 の入力端子 D との間に前記した一方のスリー・ステート・ゲート 51 が配置されており、同一列における前の行の D タイプ・フリップフロップ 41 の出力端子 Q と次の行の D タイプ・フリップフロップ 41 の入力端子 D との間に他方のスリー・ス

テート・ゲート 52 が配置されている。

行列データの転置処理装置 50 はこのような構成となっているので、セレクトライン 44 に供給される信号が “0” の状態に設定された後、クロック信号 47 を発生させると、第 2 図 a ～ d で説明したように、上入力ライン 45<sub>1</sub> ～ 45<sub>3</sub> に供給されたパラレルなデータがこの転置処理装置 50 に取り込まれ、順に行方向（図で下方向）にシフトする。クロック信号 47 が 3 パルス分発生した時点で、装置 50 はデータで満たされる。

この後、セレクトライン 44 に供給される信号が “1” に切り換える。そしてクロック信号 47 が 3 パルス分発生すると、全データが転置行列となって右出力ライン 48<sub>1</sub> ～ 48<sub>3</sub> から出力されることになる（第 2 図 e ～ h 参照）。

以上、第 1 の実施例およびその変形例において記憶手段として D タイプ・フリップフロップを使用したが、これに限られるものではない。すなわち（i） D タイプ・フリップフロップの代わりに、他のタイプのフリップフロップ例えば J K フリッ

21

22

アフロップを用いることが可能である。これは普通の1次元シフトレジスタと同様の原理にたつものだからである。

(ii) また、フリップフロップによって実現したデータのシフト回路を、ダイナミックRAM(ランダム・アクセス・メモリ)に使用されるようなコンデンサ回路によって実現することも可能である。

(iii) さらに、第5図に示すような変形を行うことも可能である。この第5図の行列データの転置処理装置60では、高速のシリアル-パラレル変換器61を行列データの転置処理部62のデータ入力側に、また、同じく高速のパラレル-シリアル変換器63を転置処理部の出力側に配置する。ここで行列データの転置処理部62は、例えば第1の実施例で説明した行列データの転置処理装置40と同一の構成である。

以上のうち、(i) 行列データの転置処理装置にフリップフロップを用いたものでは、クロック信号がどんなに遅くなっても、データの転置処理

を確実に行うことができるという長所がある。これは、コンデンサに充電するものと異なり、時間経過による充電電圧の低下を心配する必要がないからである。これに対して、(ii) 記憶手段としてコンデンサを用いるなど、ダイナミックRAMのように記憶容量の割に、装置を少ない素子数で構成することが可能となる。また(iii) 高速のシリアル-パラレル変換器等をデータの入出力用に用いると、構成される行列が大きくなってもデータの入出力のためのピン数を少なくすることができ、大きな行列を処理する行列データの転置処理装置をIC化するのに好適である。ピン数は、このように入出力それぞれ1ピンずつにまで減少させる必要はない。

#### 「第2の実施例」

以上説明した第1の実施例およびその変形例では、先の第2図で示したようにデータを全記憶手段にセットした後、これを1列ずつ排出し、これら記憶手段に格納されるデータの内容を一度空にしている。そしてこの後に、次のデータの処理を

23

行う。従って、これらの装置では、データをパラレルに1行ずつ入力する際、M行のデータを一度格納し終わると、データの入力を一時中断しなければならない。

第2の実施例では、このような点を改良し、データの連続した入力と出力を可能とする行列データの転置処理装置を提供するものである。この第2の実施例の装置の基本動作を、第6図を基にして説明する。同図は、説明の簡略化のために  $M = N = 4$  の例を表わしている。また同図では、第2図と対比するために、第2図と同一部分には同一の符号を付している。

さて、この第2の実施例における行列データの転置処理装置では、まず第6図aに示すように入力手段321～324を用いて、第1行に属する4個の記憶手段3111～3114のそれぞれにパラレルにデータの入力を実行させる。この第6図で斜線あるいはドットの記された部分は、データのセットされた記憶手段を表わしている。

4個の記憶手段3111～3114にデータがセッ

24

トされたら、同図bに示すように行方向シフト手段34を用いて、行の増加する方向にこれらのデータをシフトさせる。このとき、第1行に属する4個の記憶手段3111～3114には、次のデータが入力されることになる。このようにして、順に行方向にデータのシフトが行われると共に、第1行に属する4個の記憶手段3111～3114には新たなデータの供給が行われる(同図c、d)。

このようにして、 $4 \times 4$  の記憶手段3111～3114すべてにデータの格納が終了したら、4本の出力手段331～334が動作を開始する。これによって、まず同図eに示すように第4列に属する4個の記憶手段3111～3114からパラレルにデータの読み出しが行われる。これと共に列方向シフト手段35と入力手段711～714の動作も開始し、1列ずつデータの入力およびシフトが行われる(同図f)。そして3列目のデータの読み出しが行われる。以下同様にしてデータの列方向へのデータの入力と、前に入力されたデータの読み出しが順に行われる(同図g、h)。

25

26

このようにして先に入力された4行分のデータがすべて転置されて出力されたら、すべての記憶手段3111～3114は次の4列分のデータで満たされることになる(同図i)。この状態で、今度は同図jに示すように行方向シフト手段34を用いて、行の増加する方向にこれらのデータをシフトさせる。これにより、まず第4行に属する4つの記憶手段3115～3118に記憶されたデータが転置データとして出力される。このとき、第1行の記憶手段3111～3114には、次の新しい1行分のデータが格納される(同図k)。以上のようにして行方向におけるデータの入力と転置後のデータの出力が行われていく(同図l)。以下同様である。

第7図は、この第2の実施例における行列データの転置処理装置の概略構成を表わしたものである。この装置70は、データ転置処理部71とマルチプレクサ72から構成されていて、1つのチップ上に形成されている。データ転置処理部71には図で上側と左側の双方にパラレルなデータが

供給されるようになっており、すでに説明した行方向シフト手段あるいは列方向シフト手段によってデータ転置処理部71内部で順次データのシフトが行われる。このとき、データ転置処理部71からは図で左側あるいは下側から転置後のデータがパラレルに出力される。マルチプレクサ72はこれらの方を選択し、転置データとして外部に出力することになる。

第8図は第7図に示した行列データの転置処理装置70の具体的な構成を表わしたものである。この装置70は、縦3行(M=3)、横3列(N=3)の3×3個のDタイプ・フリップフロップ8111～8113を記憶手段として用いている。それぞれのDタイプ・フリップフロップ8111～8113の入力端子Dには、それぞれに対応して用意された2ツ-1データセレクタ82の出力が接続されている。2ツ-1データセレクタ82には、1本のセレクトライン84が接続されている。また第1行に属する3つのDタイプ・フリップフロップ8111～8113に対応した3つの2ツ-1データセレクタ82

ータセレクタ82の図で上側の入力端子には、入力ライン851～853が接続され、第1列に属する3つのDタイプ・フリップフロップ8111～8113に対応した3つの2ツ-1データセレクタ82の図で下側の入力端子には、同じく入力ライン854～856が接続されている。第2、第3行に属するDタイプ・フリップフロップ8121、8123にそれぞれ対応する合計6つの2ツ-1データセレクタ82については、それらの図で上側の入力端子が、1つ前の行の同一列のDタイプ・フリップフロップ8111～8113の出力端子に接続されている。更に、第2列および第3列のDタイプ・フリップフロップ8112～8113に対応する2ツ-1データセレクタ82の図で下側の入力端子は、それらと同一行で1つだけ列の若いDタイプ・フリップフロップ8111～8113の出力端子と接続されている。各Dタイプ・フリップフロップ8111～8113のクロック端子には、これらに共通のクロック信号87が供給されるようになっている。

この転置処理装置70の第3列に属する3つのDタイプ・フリップフロップ8111～8113の出力側には、右出力ライン881～883が接続されている。また、第3行に属する3つのDタイプ・フリップフロップ8121～8123の出力側には、下出力ライン891～893が接続されている。右出力ライン881～883と下出力ライン891～893は、対応する1ラインずつまとめられ、マルチプレクサ72を構成する2ツ-1データセレクタ711～712に入力される。

この行列データの転置処理装置70におけるデータ転置処理部71の基本的な動作は第3図に示した回路と同一であるので、その説明を省略する。  
「第2の実施例の変形例」

第9図は、この第2の実施例に対する変形例を表わしたものである。この変形例の行列データの転置処理装置90において、第8図と同一部分には同一の符号を付している。

この転置処理装置90でも、3×3個のDタイプ・フリップフロップ8111～8113を記憶手段

として用いているが、2ツ-1データセレクタは用いず、代わってスリー・ステート・ゲート91、92を用いている。ここで、一方のスリー・ステート・ゲート91はセレクトライン84に供給される信号が“0”の状態でハイインピーダンスとなる素子であり、他方のスリー・ステート・ゲート92は“1”の状態でハイインピーダンスとなる素子である。

この変形例の転置処理装置90も、先の転置処理装置70と同様に入力ライン851～855が第1行と第1列のDタイプ・フリップフロップ8111～8115、8121～8125の双方に接続されており、図で上側と左側からデータの入力を行うことができるようになっている。また第3列のDタイプ・フリップフロップ8131～8135の出力するデータと、第3行のDタイプ・フリップフロップ8141～8145の出力するデータが、最終的な転置データとして外部に出力されるようになっている。

この変形例の装置90の基本的な動作は第4図

に示した回路と同一であるので、その説明を省略する。

以上説明した第2の実施例あるいはこの変形例の行列データの転置処理装置によれば、第1の実施例あるいはその変形例の装置に比べて単位時間当たりのデータ処理速度すなわちスループットが2倍となり、効率的なデータ処理が可能となる。

なお、この第2の実施例およびその変形例でも記憶手段としてDタイプ・フリップフロップを使用したが、これに限られるものではない。すなわち(i) Dタイプ・フリップフロップの代わりに、他のタイプのフリップフロップ例えばJKフリップフロップを用いることが可能である。

(ii) また、フリップフロップによって実現したデータのシフト回路を、ダイナミックRAM(ランダム・アクセス・メモリ)に使用されるようなコンデンサ回路によって実現することも可能である。

(iii) さらに、第1の実施例で示したように第5図に示すような変形を行うことも可能である。す

3 1

なわち高速のシリアル-パラレル変換器61や高速のパラレル-シリアル変換器を用いて、外部接続端子の数を減少させることができる。

この他、この第2の実施例あるいはその変形例の装置では、効率的な転置データの作成を行う代わりに、転置するデータを鏡像変換することも可能となる。第7図に対応させて示した第10図は、このような行列データの転置処理装置100を表したものである。この装置100では、供給されるパラレルなデータがデータ転置処理部71の図で上側から入力される場合と左側から入力される場合とで、その配列順序が逆になるようになっている。このため、データ転置処理部71の図で右側から出力されるデータと下側から出力されるパラレルなデータは、やはりその配列が逆となる。マルチプレクサ72はこれらのうちの所望なものを選択し、外部に出力することになる。

#### 「発明の効果」

このように、本発明によればM行N列の記憶手段を用いてデータの転置処理を行うので、装置内

3 2

部の結線が規則的となり、IC化が容易となるという長所がある。

#### 4. 図面の簡単な説明

第1図は本発明の原理的構成を示す原理図、第2図は本発明の装置の基本動作を説明するための説明図、第3図は本発明の第1の実施例における行列データの転置処理装置のブロック図、第4図はこの実施例に対する変形例としての行列データの転置処理装置を表わしたブロック図、第5図はこれらの装置のデータ入出力部の変形例を示すブロック図、第6図は本発明の第2の実施例における装置の基本動作を説明するための説明図、第7図はこの第2の実施例における行列データの転置処理装置の概略構成図、第8図は第2の実施例における行列データの転置処理装置の具体的な構成を示すブロック図、第9図はこの第2の実施例に対する一変形例の行列データの転置処理装置を示すブロック図、第10図は転置データとその鏡像変換されたデータを逐一的に選択することのできる行列データの転置処理装置の概略構成図、第1

3 3

3 4

1図はLEDを用いた記録装置の一例を示す概略構成図、第1-2図は從来におけるLEDアレイヘッドに対するデータの入力方法を説明するための説明図、第1-3図は画情報を記憶したメモリ装置と各シフトレジスタとの間におけるデータの処理方法を説明するための説明図、第1-4図は転置処理装置とその周辺の装置の一般的な構成を示す説明図、第1-5図は從来提案された行列データの転置処理装置のブロック図、第1-6図はこの提案された装置の動作原理を示す原理図である。

- 3.1 ……記憶手段、
- 3.2 ……入力手段、
- 3.3 ……出力手段、
- 3.4 ……行方向シフト手段、
- 3.5 ……列方向シフト手段、
- 4.0、5.0、6.0、7.0、9.0、1.0.0  
……行列データの転置処理装置、
- 4.2、8.2 ……2ツ-1データセレクタ、
- 4.5 ……上入力ライン、
- 4.6 ……左入力ライン、

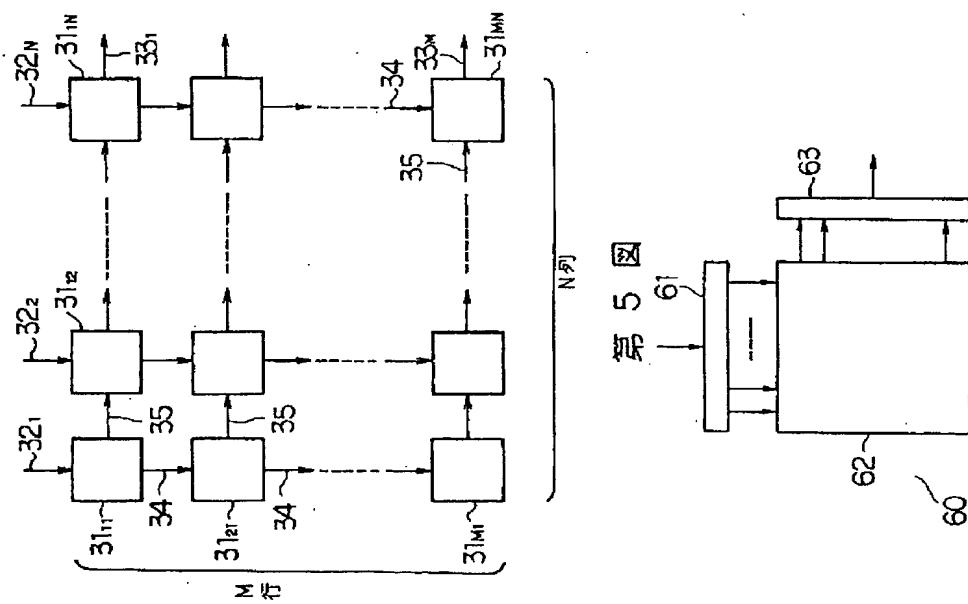
- 4.8 ……右出力ライン、
- 4.9 ……下出力ライン、
- 5.1、5.2、9.1、9.2 ……スリー・ステート・ゲート、
- 7.2 ……マルチプレクサ、
- 8.1 ……Dタイプ・フリップフロップ。

出願人  
富士ゼロックス株式会社  
代理人  
弁理士 山内梅雄

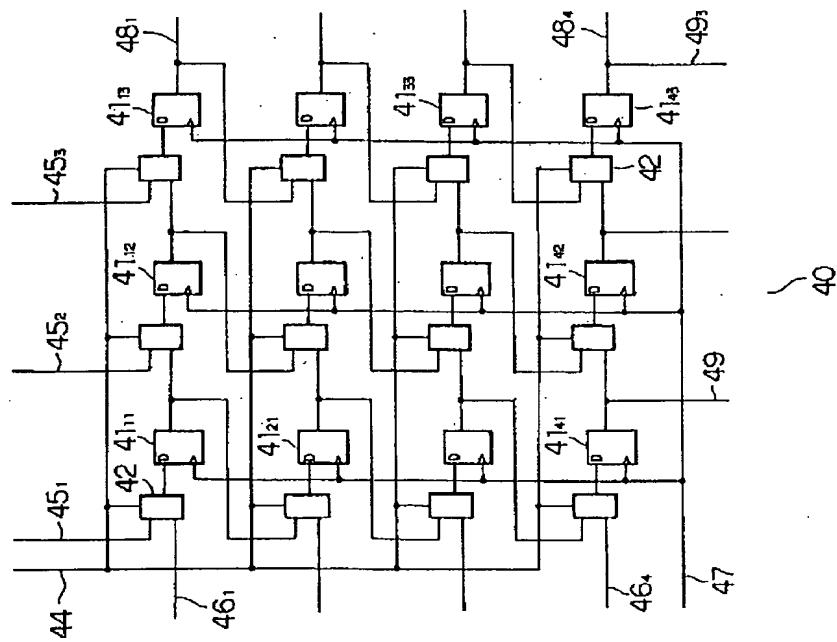
3.5

3.6

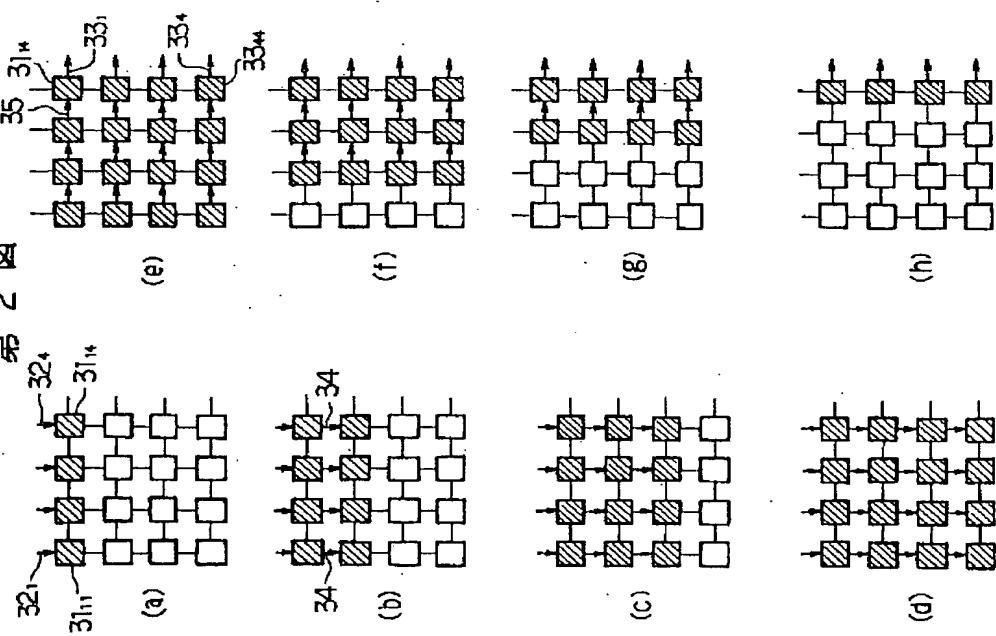
第1図



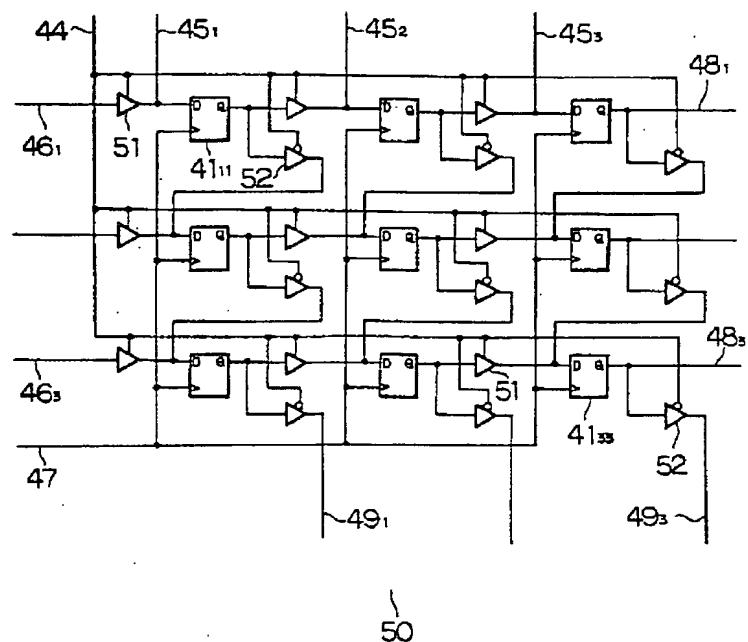
第3図



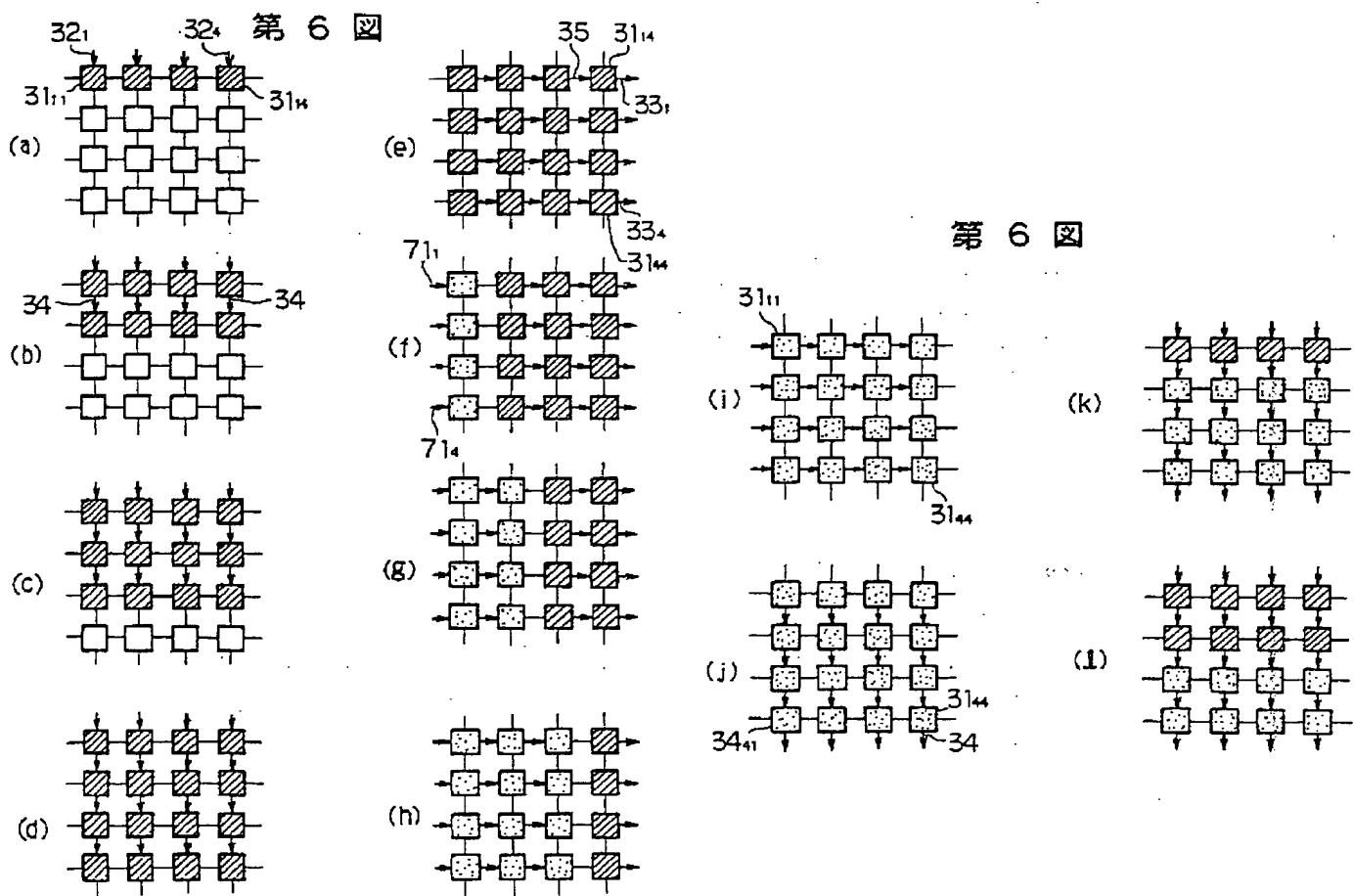
第2図



第4図

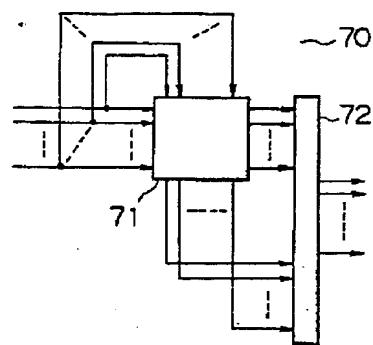


第6図

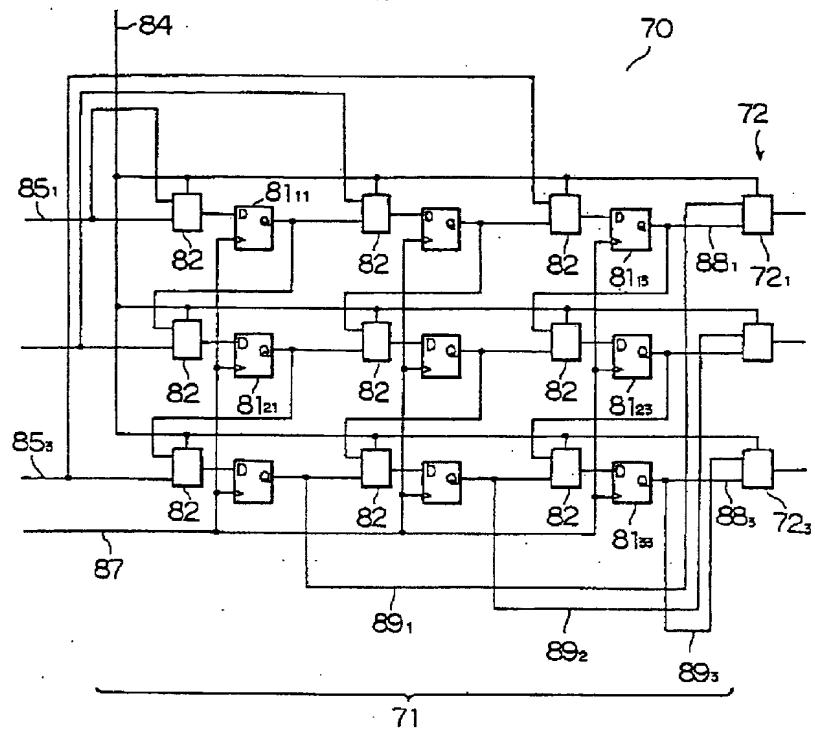


第6図

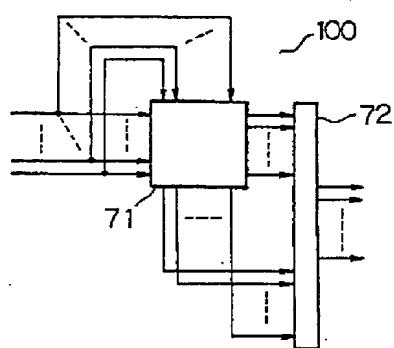
第7図



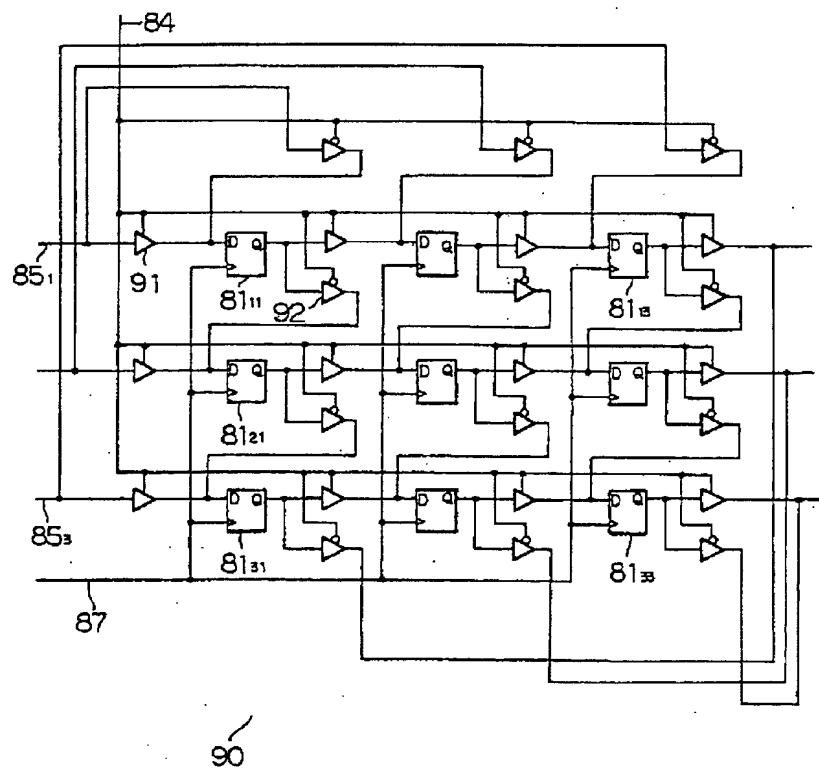
第8図



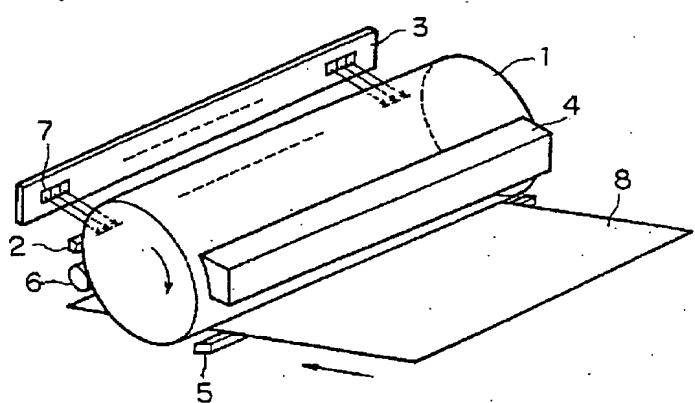
第10図



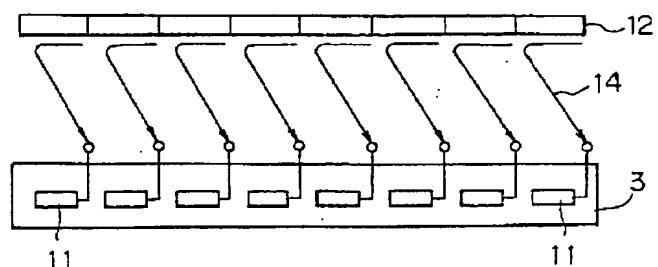
第9図



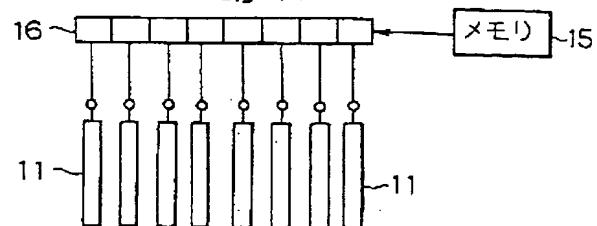
第11図



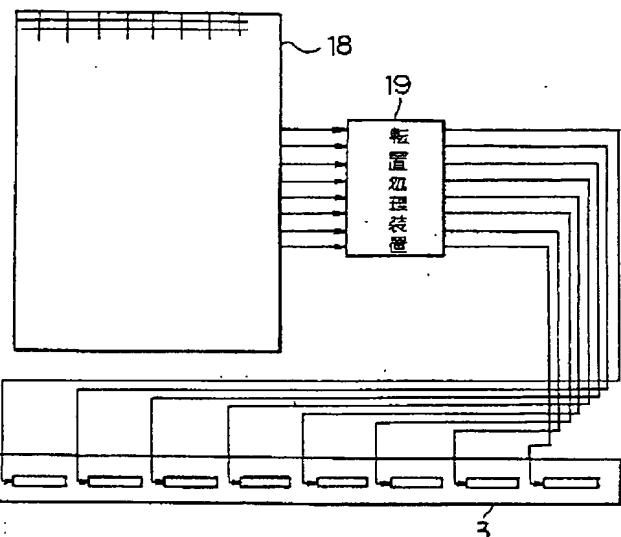
第12図



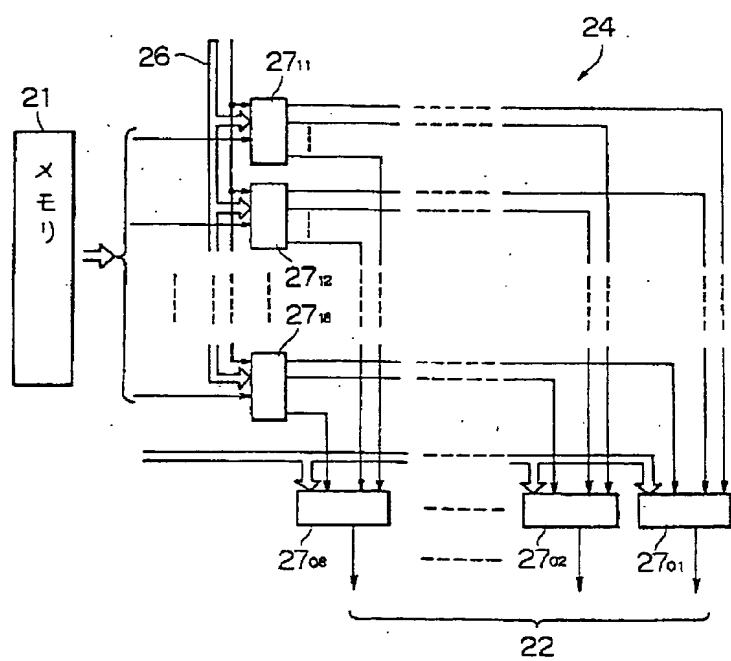
第13図



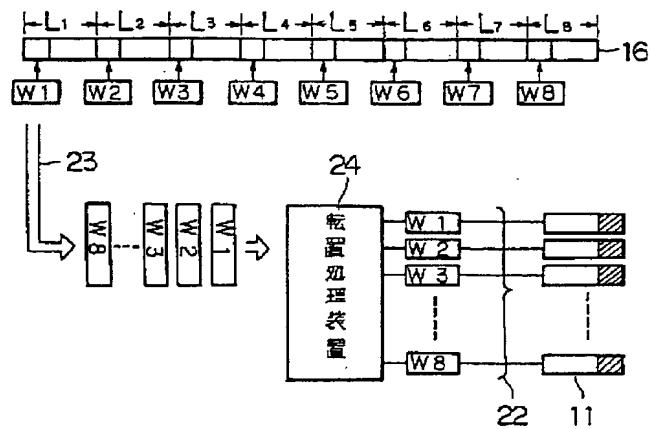
第14図



第15図



第16図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**